

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-091555

(43)Date of publication of application : 07.04.2005

(51)Int.Cl.

G09G 3/28

G09G 3/20

G09G 3/288

H01J 11/02

(21)Application number : 2003-322667

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 16.09.2003

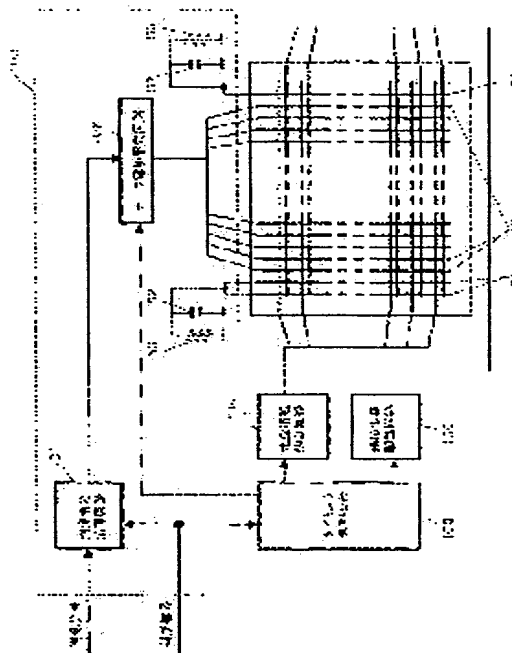
(72)Inventor : MIMA KUNIHIRO

(54) PLASMA DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress light emission of a discharge cell of a non-display area and to prevent deterioration of image display quality even in the case of controlling discharge by applying voltage higher than the conventional drive voltage to each electrode.

SOLUTION: This plasma display device has dummy electrodes 51 arranged in parallel with data electrodes 10 on both side of electrode arrangement directions of a plurality of data electrodes 10 arranged in a direction to solid crossing with a pair of display electrodes and the dummy electrodes 51 are grounded via a capacitor 52 or connected to a fixed voltage source via the capacitor 52. In addition, the dummy electrodes are grounded via a resistor 53 or connected to the fixed voltage source via the resistor 53.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-91555

(P2005-91555A)

(43) 公開日 平成17年4月7日 (2005.4.7)

(51) Int. Cl.⁷

G09G 3/28
G09G 3/20
G09G 3/288
H01J 11/02

F I

G09G 3/28 H
G09G 3/20 623Z
G09G 3/20 670E
H01J 11/02 D
G09G 3/28 B

テーマコード (参考)

5C040
5C080
5C580

審査請求 未請求 請求項の数 1 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2003-322667 (P2003-322667)
(22) 出願日 平成15年9月16日 (2003.9.16)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100097445
弁理士 岩橋 文雄
(74) 代理人 100103355
弁理士 坂口 智康
(74) 代理人 100109667
弁理士 内藤 浩樹
(72) 発明者 美馬 邦啓
大阪府門真市大字門真1006番地 松下
電器産業株式会社内
F ターム (参考) 5C040 FA01 FA04 GB04 GB14 GC10
GC20 GK20 LA05 LA18 MA18
MA19 MA20

最終頁に続く

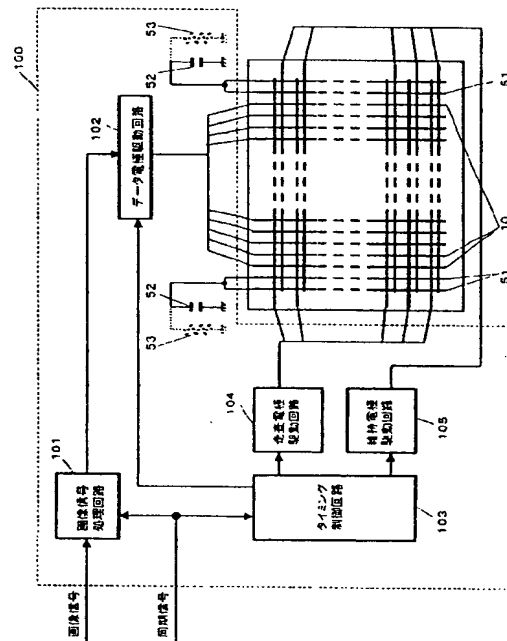
(54) 【発明の名称】 プラズマディスプレイ装置

(57) 【要約】

【課題】 従来の駆動電圧より高い電圧を各電極に印加して放電を制御する場合であっても、非表示領域の放電セルの発光を抑え、画像表示品質の低下を防止する。

【解決手段】 表示電極対と立体交差する方向に配置された複数のデータ電極10の電極配列方向の両側にデータ電極10と平行に配置されたダミー電極51を有し、ダミー電極51はコンデンサ52を介して接地、あるいはコンデンサ52を介して一定電圧源に接続した。さらに加えて、抵抗53を介して接地、あるいは抵抗53を介して一定電圧源に接続した。

【選択図】 図4



【特許請求の範囲】

【請求項1】

互いに平行に配置された複数の表示電極対と、前記表示電極対と立体交差する方向に配置された複数のデータ電極と、前記データ電極が複数配置された領域の外側領域に前記データ電極と平行に配置されたダミー電極とを有するプラズマディスプレイパネルを備えたプラズマディスプレイ装置であって、

前記ダミー電極はコンデンサを介して接地、あるいはコンデンサを介して一定電圧源に接続するように構成したことを特徴とするプラズマディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、AC面放電型プラズマディスプレイパネルを用いたプラズマディスプレイ装置に関するものである。

【背景技術】

【0002】

プラズマディスプレイパネル（以下、PDPあるいはパネルと略記する）は、大画面、薄型、軽量であることを特徴とする視認性に優れた表示デバイスである。PDPの放電方式としてはAC型とDC型とがあり電極構造としては面放電型と対向放電型とがあるが、現在では製造が容易であり高精細化に適したAC面放電型PDPが主流となっている。

【0003】

AC面放電型PDPは、一般に対向配置された前面板と背面板との間に多数の放電セルを形成してなる。前面板は、走査電極と維持電極とからなる表示電極対が前面ガラス基板上に互いに平行に複数対形成され、それら表示電極を覆うように誘電体層が形成されている。背面板は、背面ガラス基板上に複数の平行なデータ電極と、それらを覆うように誘電体層と、さらにその上に複数の隔壁がそれぞれ形成され、誘電体層の表面と隔壁の側面とに蛍光体層が形成されている。そして、表示電極とデータ電極とが立体交差するように前面板と背面板とが対向、密封されている。

【0004】

ところで、このような構成のパネルにおいて、パネルの周辺部、特にデータ電極の配列方向の両側の領域では放電セルの寸法等に起因した放電特性のばらつきが発生しやすく、その結果、輝度ムラや誤放電を生じやすい。そのため一般にこの部分の放電セルは画像表示には用いない。これら画像表示に用いないパネル周辺部の領域（以下、非表示領域と略記する）における放電セルのデータ電極をダミー電極と呼称している。言い替えると、画像表示に用いる放電セルを形成するためにデータ電極を複数配置された領域（以下、表示領域と略記する）の外側領域、すなわち非表示領域にダミー電極が形成されている。

【0005】

そして、非表示領域の放電セルが発光しないように、いくつかのダミー電極は電氣的に接続され、これらのダミー電極には発光させない放電セル、すなわち書込み放電を行わないデータ電極と同一の電圧を印加している（特許文献1参照）。

【特許文献1】特開平8-255574号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

近年はPDPの高精細化のために放電セルの微細化が進み、放電空間が狭くなり放電開始電圧が上昇する傾向にある。そのため、従来の駆動電圧より高い電圧を各電極に印加して放電を制御する必要が生じてきている。

【0007】

一方、パネルの製造上の問題として、パネル周辺部の誘電体層の膜厚が薄くなる傾向があり、その分、誘電体層での電圧降下が小さくなり放電セル内部の空間に大きな電圧が印加されやすい。また、非表示領域の放電セルには蛍光体層を形成しないことが多く、この

10

20

30

40

50

場合、放電を阻害する働きのある蛍光体がないために放電開始電圧が大幅に低下する。さらにはパネル周辺部の隔壁に隙間が発生し隣接セルの放電の影響を受けやすくなる等の要因も加わり、一般に非表示領域における放電セルは表示領域の放電セルに比べて放電しやすくなっている。その結果、高電圧印加時において、非表示領域の放電セルが誤放電により発光し、画像表示品質を著しく低下させる可能性が高まってきた。

【0008】

本発明は上述の課題に鑑みてなされたものであり、非表示領域の放電セルの発光による画像表示品質の低下を防止することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するため、本発明のプラズマディスプレイ装置は、データ電極が複数配置された領域の外側領域にデータ電極と平行に配置されたダミー電極を有し、ダミー電極はコンデンサを介して接地、あるいはコンデンサを介して一定電圧源に接続するように構成したことを特徴とする。

【発明の効果】

【0010】

本発明によれば、非表示領域の放電セルの誤放電による画像表示品質の低下を防止したプラズマディスプレイ装置を提供することができる。

【発明を実施するための最良の形態】

【0011】

請求項1に記載の発明は、互いに平行に配置された複数の表示電極対と、表示電極対と立体交差する方向に配置された複数のデータ電極と、データ電極が複数配置された領域の外側領域にデータ電極と平行に配置されたダミー電極とを有するプラズマディスプレイパネルを備えたプラズマディスプレイ装置であって、ダミー電極はコンデンサを介して接地、あるいはコンデンサを介して一定電圧源に接続するように構成したことを特徴とするプラズマディスプレイ装置である。

【0012】

(実施の形態)

図1は、本発明の実施の形態に用いられるプラズマディスプレイパネルの構造の一例を示す分解斜視図である。パネル1は、対向して配置された前面板2と背面板3とを有している。前面板2は、前面ガラス基板4上に走査電極5と維持電極6とが互いに平行に対をなして複数対形成されている。そして、これらの走査電極5と維持電極6とを覆うように誘電体層7が形成され、この誘電体層7の表面を覆うように保護層8が形成されている。背面板3は、背面ガラス基板9上の表示領域にデータ電極10、非表示領域にダミー電極51が互いに平行に複数形成され、これらのデータ電極10とダミー電極51とを覆うように誘電体層11が形成されている。そして、この誘電体層11上にデータ電極10と平行に隔壁12が複数形成され、誘電体層11の表面と隔壁12の側面とに蛍光体層13が形成されている。さらに、前面板2と背面板3とに挟まれた放電空間14には、放電ガスが封入されている。

【0013】

なお、図1には4本のデータ電極10と3本のダミー電極51が示されているが、電極の本数はもちろんこれに限られるものではない。また、同図にはダミー電極51を覆う誘電体層11上および隔壁12の側面にも蛍光体層13が示されているが、この領域は非表示領域であるので蛍光体層13は形成しなくてもよい。

【0014】

図2は、本発明の実施の形態に用いられるプラズマディスプレイパネルの電極配列を示す図である。パネルの表示領域部には、列方向にm列のデータ電極 $D_1 \sim D_m$ （図1のデータ電極10）が配列され、行方向にn行の走査電極 $SC_1 \sim SC_n$ （図1の走査電極5）とn行の維持電極 $SU_1 \sim SU_n$ （図1の維持電極6）とが交互に配列されている。そして、走査電極 SC_i （ i は1～mの整数）と維持電極 SU_i との電極対1対と1つのデータ電極

10

20

30

40

50

D_j (j は $1 \sim n$ の整数) とを含む放電セル $C_{i,j}$ が放電空間内に $m \times n$ 個形成されている。また、パネル左右の周辺の非表示領域部にはそれぞれ複数本のダミー電極 51 (図 2 にはそれぞれ 2 本ずつ図示する) が形成されている。

【0015】

次に、プラズマディスプレイパネルを駆動するための駆動電圧波形とそのタイミングについて説明する。

【0016】

図 3 は、本発明の実施の形態におけるプラズマディスプレイ装置の駆動電圧波形図である。なお本発明の実施の形態においては、1 フィールド期間が初期化期間、書込み期間、維持期間を有する複数のサブフィールドから構成されるものとして説明する。

10

【0017】

初期化期間の前半部では、データ電極 $D_1 \sim D_m$ 、および維持電極 $S U_1 \sim S U_n$ をそれぞれ 0 (V) に保持し、走査電極 $S C_1 \sim S C_n$ には電圧 V_{i1} から、維持電極 $S U_1 \sim S U_n$ およびデータ電極 $D_1 \sim D_m$ に対して放電開始電圧を超える電圧 V_{i2} に向かって緩やかに上昇する傾斜波形電圧を印加する。この傾斜波形電圧が上昇する間に、走査電極 $S C_1 \sim S C_n$ と維持電極 $S U_1 \sim S U_n$ 、走査電極 $S C_1 \sim S C_n$ とデータ電極 $D_1 \sim D_m$ との間でそれぞれ微弱な 1 回目の初期化放電が起こる。そして、走査電極 $S C_1 \sim S C_n$ 上部に負の壁電圧が蓄積されるとともに、データ電極 $D_1 \sim D_m$ 上部および維持電極 $S U_1 \sim S U_n$ 上部には正の壁電圧が蓄積される。

【0018】

20

初期化期間の後半部では、維持電極 $S U_1 \sim S U_n$ を正電圧 V_e に保ち、走査電極 $S C_1 \sim S C_n$ には、維持電極 $S U_1 \sim S U_n$ に対して放電開始電圧以下となる電圧 V_{i3} から放電開始電圧を超える電圧 V_{i4} に向かって緩やかに下降する傾斜波形電圧を印加する。この間に、走査電極 $S C_1 \sim S C_n$ と維持電極 $S U_1 \sim S U_n$ 、走査電極 $S C_1 \sim S C_n$ とデータ電極 $D_1 \sim D_m$ との間でそれぞれ微弱な 2 回目の初期化放電が起こる。そして、走査電極 $S C_1 \sim S C_n$ 上部の負の壁電圧および維持電極 $S U_1 \sim S U_n$ 上部の正の壁電圧が弱められ、データ電極 $D_1 \sim D_m$ 上部の正の壁電圧は書込み動作に適した値に調整される。

【0019】

書込み期間では、走査電極 $S C_1 \sim S C_n$ を一旦 V_c に保持する。次に、1 行目の走査電極 $S C_1$ に走査パルス電圧 V_a を印加する。このとき同時に、データ電極 $D_1 \sim D_m$ のうち 1 行目に表示すべき画像信号に対応するデータ電極 D_k (k は $1 \sim m$ の整数を表す) に正の書込みパルス電圧 V_d を印加する。すると、書込みパルス電圧 V_d を印加したデータ電極 D_k と走査電極 $S C_1$ との交差部で放電が発生し、対応する放電セル $C_{1,k}$ の維持電極 $S U_1$ と走査電極 $S C_1$ との間の放電に進展する。そして、放電セル $C_{1,k}$ の走査電極 $S C_1$ 上部に正電圧が蓄積され、維持電極 $S U_1$ 上部に負電圧が蓄積され、1 行目の書込み動作が終了する。

30

【0020】

以下同様の書込み動作を n 行目の放電セル $C_{n,k}$ に至るまで行い、書込み動作が終了する。

【0021】

40

維持期間においては、走査電極 $S C_1 \sim S C_n$ 、および維持電極 $S U_1 \sim S U_n$ を 0 (V) に一旦戻す。その後、走査電極 $S C_1 \sim S C_n$ に正の維持パルス電圧 V_s を印加する。このとき、書込み放電を起こした放電セル $C_{i,j}$ における走査電極 $S C_i$ 上部と維持電極 $S U_j$ 上部との間の電圧は、維持パルス電圧 V_s に加えて、書込み期間において走査電極 $S C_i$ 上部および維持電極 $S U_j$ 上部に蓄積された壁電圧が加算されるので放電開始電圧を超えて維持放電が発生する。以降同様に、走査電極 $S C_1 \sim S C_n$ と維持電極 $S U_1 \sim S U_n$ とに維持パルスを交互に印加することにより、書込み放電を起こした放電セル $C_{i,j}$ に対して維持パルスの回数だけ維持放電が継続して発光する。

【0022】

図 4 は、本発明の実施の形態におけるプラズマディスプレイ装置の回路ブロック図であ

50

る。駆動回路100は、画像信号処理回路101、データ電極駆動回路102、タイミング制御回路103、走査電極駆動回路104、および維持電極駆動回路105を有している。画像信号および同期信号は、画像信号処理回路101に入力される。画像信号処理回路101は、画像信号および同期信号に基づいて、各サブフィールドを点灯するかどうかを制御するサブフィールド信号をデータ電極駆動回路102に出力する。また、同期信号はタイミング制御回路103にも入力される。タイミング制御回路103は同期信号に基づいて、データ電極駆動回路102、走査電極駆動回路104、維持電極駆動回路105にタイミング制御信号を出力する。

【0023】

データ電極駆動回路102は、サブフィールド信号およびタイミング制御信号に応じて、パネルのデータ電極10（図2のデータ電極 $D_1 \sim D_n$ ）に図3に示した所定の駆動電圧波形を印加する。走査電極駆動回路104はタイミング制御信号に応じてパネルの走査電極5（図2の走査電極 $SC_1 \sim SC_n$ ）に所定の駆動電圧波形を印加し、維持電極駆動回路105はタイミング制御信号に応じてパネルの維持電極6（図2の維持電極 $SU_1 \sim SU_n$ ）に所定の駆動電圧波形を印加する。データ電極駆動回路102、走査電極駆動回路104、維持電極駆動回路105には電源回路（図示せず）から必要な電力が供給されている。

【0024】

そしてダミー電極51はコンデンサ52を介して接地する。このように、所定の容量をもつコンデンサ52を介してダミー電極51を接地することにより、非表示領域での不要な放電を抑えることができる。このときコンデンサ52に加えて、所定の抵抗値をもつ抵抗53を介してダミー電極を接地してもよい。抵抗53は図4において破線で示している。

【0025】

次に、ダミー電極をコンデンサを介して接地することにより非表示領域での不要な放電を抑えることができる理由について説明する。発明者らは非表示領域における誤放電を詳細に検討した結果、初期化期間における誤放電に起因して維持期間に維持放電が継続し発光するものと、書込み期間における誤放電に起因して維持期間に維持放電が継続し発光するものがあることを見出した。

【0026】

初期化期間における誤放電については次のように考えられる。実施の形態においては初期化放電にともなう発光の強度を抑えるために傾斜波形電圧を用いた初期化を行っている。しかし緩やかな傾斜を用いて必要な値まで電圧を上昇あるいは下降させるには多大な時間が必要になる。そこで時間を短縮するために、図3に示したように、放電が開始するまで（初期化期間の前半部では0（V）から V_{i1} まで、初期化期間の後半部では V_{i2} から V_{i3} まで）は電圧を不連続的に変化させている。前述したとおり非表示領域の放電セルは表示領域の放電セルよりも放電しやすくなっているため、このときの不連続的な電圧変化で非表示領域の放電セルが誤放電を発生してしまう可能性がある。一旦ここで誤放電が発生するとその後の壁電圧制御ができなくなり維持期間に発光することになる。

【0027】

また、書込み期間における誤放電については次のように考えられる。初期化動作が正常に終了した場合、書込み放電を行わなければ維持放電しないが、何らかのノイズの影響を受けて、あるいは隣接セルの放電の影響を受けて書込み放電が発生すると、つづく維持期間において維持放電が発生し発光する。

【0028】

以上の観点から発明者らはダミー電極を抵抗、あるいはコンデンサを介して接地し、非表示領域における放電セルの誤放電の発生状況を調べた。なお、実験に使用したパネルは42吋高精細パネルであり、データ電極のうち左右両端からそれぞれ15本ずつをダミー電極51として用いた。表1にダミー電極51を抵抗53あるいはコンデンサ52またはその両方を介して接地したときの放電セルの誤放電の発生状況を示す。

【 0 0 2 9 】

【 表 1 】

抵抗	コンデンサ	ダミー電極	誤放電発生期間
0Ω	(無し)	発光	初期化
1KΩ	(無し)	発光	初期化
10KΩ	(無し)	発光	初期化
100KΩ	(無し)	発光	書きこみ
∞ Ω	(無し)	発光	書きこみ
100KΩ	1nF	発光	書きこみ
100KΩ	2nF	非発光	—

10

【 0 0 3 0 】

その結果、ダミー電極 5 1 に抵抗 5 3 を介して接地した場合、抵抗値が小さいときは初期化期間における誤放電が発生しやすく、抵抗値が大きくなると書込み期間における誤放電が発生しやすくなることを見出した。また、コンデンサ 5 2 を介して接地すると書込み期間における誤放電が発生し難くなることも見出した。

20

【 0 0 3 1 】

これは、低抵抗を介してダミー電極 5 1 を接地した場合、ダミー電極 5 1 のインピーダンスは低いので、放電セル内部の走査電極 5 とダミー電極 5 1 間、および維持電極 6 とダミー電極 5 1 間には外部から印加した電圧波形がほぼそのまま印加されと考えられる。したがって、初期化期間における 0 (V) から V_{i1} まで、 V_{i2} から V_{i3} までの不連続的な電圧変化が走査電極 5 とダミー電極 5 1 間の放電開始電圧を超えて誤放電が発生してしまうと考えられる。

30

【 0 0 3 2 】

一方、高抵抗を介してダミー電極 5 1 を接地した場合には、ダミー電極 5 1 は走査電極 5 と維持電極 6 との両方の印加電圧の影響を受け、実質的にダミー電極 5 1 に印加される電圧は走査電極 5 と維持電極 6 との中間的な電圧となり、放電セル内部の走査電極 5 とダミー電極 5 1 間、および維持電極 6 とダミー電極 5 1 間に印加される電圧は外部から印加した電圧より小さくなるため、誤放電を起こすことなく正常に初期化動作が行われる。したがって、高抵抗を介してダミー電極 5 1 を接地することは初期化期間における誤放電を抑えるためには有効である。しかしながらダミー電極 5 1 のインピーダンスが高くなるとノイズの影響を受けやすくなるため、書込み期間において誤放電が発生しやすくなるものと考えられることができる。

40

【 0 0 3 3 】

また、コンデンサ 5 2 を介してダミー電極 5 1 を接地した場合については、ダミー電極 5 1 のノイズ成分に対するインピーダンスを下げることで、書込み期間においてノイズを受けることなく、したがって書込み期間における誤放電を抑制することができると考えてよい。しかし、コンデンサ 5 2 の容量が大きすぎるとダミー電極 5 1 のインピーダンスが下がりすぎて初期化期間に誤放電が発生するおそれがある。

【 0 0 3 4 】

上述の実験においてはダミー電極 5 1 に、並列に接続したコンデンサ 2 n F および抵抗 1 0 0 k Ω を介して接地することにより、安定に非表示領域における放電セルの発光を抑えることができた。しかしながらこれらコンデンサ 5 2 および抵抗 5 3 の値はパネルの放

50

電特性、パネルに印加する駆動電圧波形、ダミー電極 5 1 の本数等の条件によって適宜設定することが望ましい。

【 0 0 3 5 】

なお、抵抗 5 3 を用いずコンデンサ 5 2 だけを用いても非表示領域における放電セルの発光を抑えることができるが、ダミー電極 5 1 の絶縁性が高すぎるとパネル駆動中にダミー電極 5 1 に過剰な電荷が蓄積し、過剰電荷の放電にともなう誤放電や絶縁破壊を引き起こす可能性があるので、ある程度の高抵抗を介して接地しておくほうが望ましい。

【 0 0 3 6 】

また、本発明の実施の形態においては図 3 に示す駆動電圧波形をもとに説明したが、本発明のプラズマディスプレイ装置は非表示領域の放電セルに対して、初期化期間においては正常な初期化放電を発生させ、書込み期間においてはノイズ等による誤放電を防ぐために、コンデンサを介してダミー電極を接地するものであるから、初期化期間、書込み期間、維持期間をもつサブフィールドを用いた駆動方法であれば、他の駆動電圧波形であっても適用することができる。

【 0 0 3 7 】

さらに、AC 型 PDP の各電極は誘電体に覆われており放電空間と絶縁されているため駆動電圧波形の直流成分は放電そのものには何ら寄与しない。したがって、コンデンサを介してダミー電極を接地することと、コンデンサを介してダミー電極をインピーダンスの低い一定電圧源に接続することとは同じ効果を奏する。

【 産業上の利用可能性 】

【 0 0 3 8 】

本発明のプラズマディスプレイ装置は、非表示領域の放電セルの誤放電による画像表示品質の低下を防止したプラズマディスプレイ装置等に適應できる。

【 図面の簡単な説明 】

【 0 0 3 9 】

【 図 1 】 本発明の実施の形態に用いられるプラズマディスプレイパネルの構造の一例を示す分解斜視図

【 図 2 】 本発明の実施の形態に用いられるプラズマディスプレイパネルの電極配列を示す図

【 図 3 】 本発明の実施の形態におけるプラズマディスプレイ装置の駆動電圧波形図

【 図 4 】 本発明の実施の形態におけるプラズマディスプレイ装置の回路ブロック図

【 符号の説明 】

【 0 0 4 0 】

- 1 0 データ電極
- 5 1 ダミー電極
- 5 2 コンデンサ
- 5 3 抵抗
- 1 0 0 駆動回路
- 1 0 1 画像信号処理回路
- 1 0 2 データ電極駆動回路
- 1 0 3 タイミング制御回路
- 1 0 4 走査電極駆動回路
- 1 0 5 維持電極駆動回路

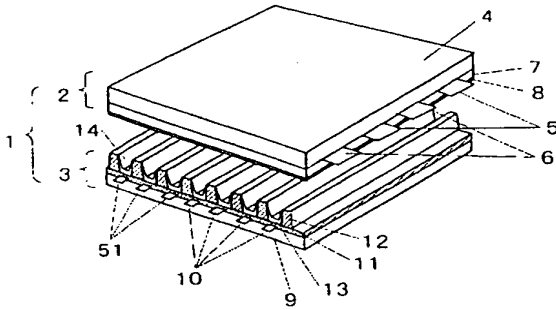
10

20

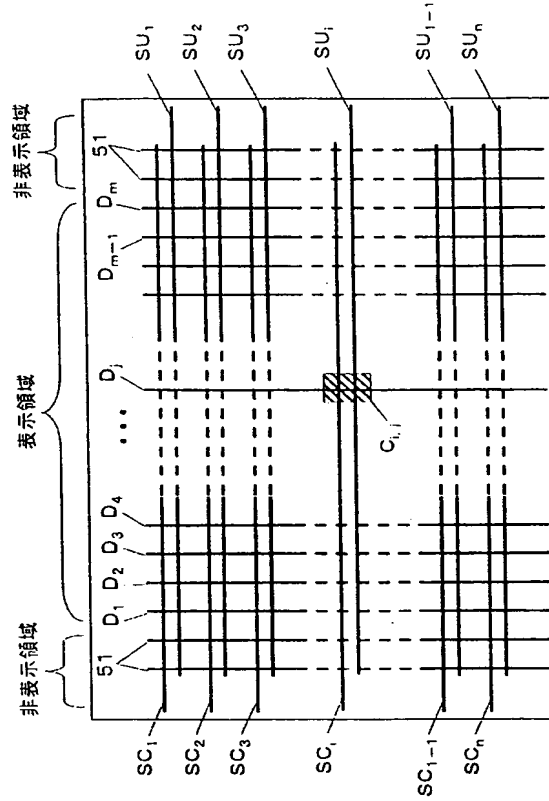
30

40

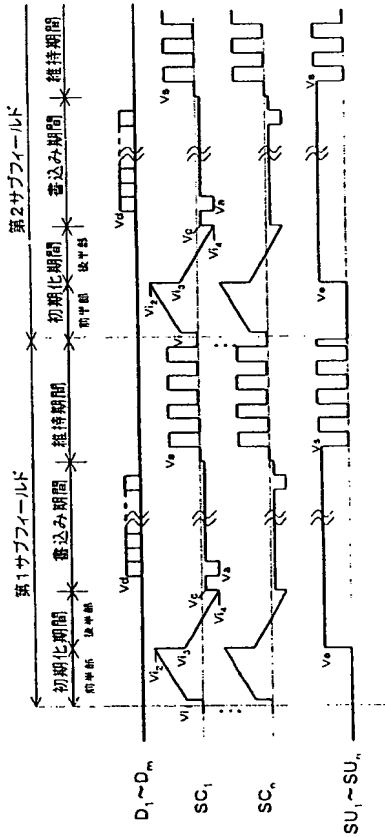
【図 1】



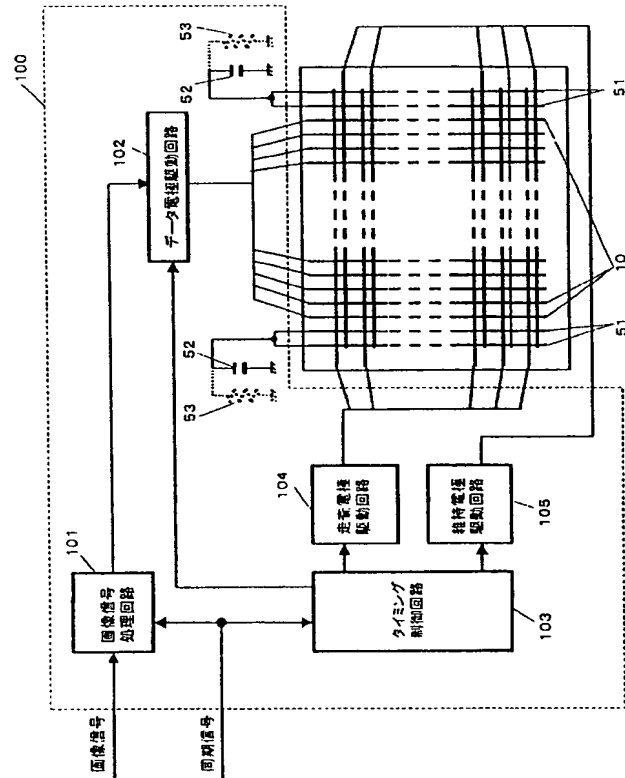
【図 2】



【図 3】



【図 4】



フロントページの続き

(51) Int. Cl.⁷

F 1

テーマコード (参考)

G 0 9 G 3/28

E

Fターム(参考) 5C080 AA05 BB05 DD09 EE29 FF12 GG12 HH02 HH04 JJ02 JJ04
JJ06

5C580 AA01 AA02 AA05 BA08 BC14